

61-067269

**SEMICONDUCTOR ELEMENT**

Patent Number: JP61067269  
Publication date: 1986-04-07  
Inventor(s): INABE KIYOSHI  
Applicant(s):: SHARP CORP  
Requested Patent: JP61067269  
Application Number: JP19840188545 19840907  
Priority Number(s):  
IPC Classification: H01L29/78 ; H01L27/12 ; H01L29/60 ; H01L29/80  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To enable to electrically control the threshold voltages of MOS and MES type transistors independently from the other at every one element by forming the second gate electrode at the side opposite to the first gate through an insulator.

**CONSTITUTION:** A silicon insulator layer 2 is formed on a substrate 1 of Si or quartz glass or the like, and the second gate electrode 3 of aluminum is formed on the layer 2. Further, the insulator layer 2 is formed on the electrode 3, and an MOS type transistor is formed thereon. For example, an Si active layer (N type) 4 is formed by recrystallization on the layer 2. Then, P type layers 5, 6 are formed by ion implanting as source and drain regions on the layer 4. Then, a gate insulating film (SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>) 7 is formed on the layer 4, and the first gate electrode (Al) 8 is formed on the film 7.

---

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A)

昭61-67269

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 昭和61年(1986)4月7日

H 01 L 29/78  
27/12  
29/60  
29/808422-5F  
7514-5F

7925-5F 審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 半導体素子

⑭ 特 願 昭59-188545

⑮ 出 願 昭59(1984)9月7日

⑯ 発 明 者 鋳 鍋 清 志 大阪市阿倍野区長池町22番22号 シャープ株式会社内

⑰ 出 願 人 シャープ株式会社 大阪市阿倍野区長池町22番22号

⑱ 代 理 人 弁理士 青 山 葆 外2名

## 明 細 書

## 1. 発明の名称

半導体素子

## 2. 特許請求の範囲

(1) P型またはN型の第一と第二の二箇の半導体領域と、この両半導体領域の電荷と反対符号の電荷を有し両半導体領域の間を結合する第三の半導体領域と、この第三の半導体領域の近傍に設けられる第一のゲート電極とからなるMOS型半導体素子またはMES型半導体素子において、さらに、第二のゲート電極を第三の半導体領域上に第一のゲート電極と反対の側に絶縁体を介して設けたことを特徴とする半導体素子。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、通常のSI基板又は石英ガラス等の基板上に設けたいわゆるSOI構造の半導体微動素子に、より詳細には、MOS型またはMES型トランジスタに関する。

(従来技術)

閾値電圧は、MOS型トランジスタにおいてもGSAFETなどのゲート電極と能動層との間に絶縁膜等を必要としないMES型トランジスタにおいても、重要なパラメータである。従来のMOS型又はMES型トランジスタにおいては、閾値電圧を電気的に外部より制御するには、ソース電極と基板との間に適当な電位を印加する必要がある。すなわち、いわゆる基板効果によって閾値電圧を制御するのである。この場合、外部回路に対して基板電位を固定する方法と、ソース電位を固定する方法とがある。

しかし、複数個の素子から回路を構成するときには、いずれの方法を用いても、閾値電圧を制御すべき素子と他の素子との整合性に難点がある。基板電位を固定する方法では、ソース電位を変動させる事となるが、これに伴いソース・ドレイン間の電位差の変動が生じ、トランジスタの動作の変動を引き起こす。一方、ソース電位を固定する方法では、基板の電位を制御するが、閾値電圧の制御を目的とする素子以外の素子についても閾値

電圧の変動が生じるという欠点がある。

(発明の目的)

本発明の目的は、MOS型およびMES型トランジスタの閾値電圧を回路等を構成する素子一個毎に他とは独立に電気的に制御する事を可能とするトランジスタを提供することである。

(発明の構成)

本発明に係る半導体素子は、P型またはN型の第一と第二の二種の半導体領域と、この両半導体領域の電荷と反対符号の電荷を有し両半導体領域の間を結合する第三の半導体領域と、この第三の半導体領域の近傍に設けられる第一のゲート電極とからなるMOS型半導体素子またはMES型半導体素子において、さらに、第二のゲート電極を第三の半導体領域上に第一のゲート電極と反対の極に絶縁体を介して設けたことを特徴とする。

(作 用)

本発明に係る半導体素子において、第二ゲート電極の電位を制御することにより、閾値電圧を変化させることができる。

即ち、

$$V_T = V_0 + B \sqrt{V_{SB} + \alpha} \quad (1)$$

ここで、 $V_0$ 、 $B$ 、 $\alpha$ は、MOS型トランジスタの構造と材質により定まる定数である。

本発明における素子においても、同様の式が成り立つ。第二ゲート電極3へ印加する電圧を $V_{G2}$ とすると、第一ゲート電極8のゲート電極に対する閾値電圧 $V_{T1}$ は、次の式で表わされる。

$$V_{T1} = V_0' + B' \sqrt{V_{G2} + \alpha'} \quad (2)$$

ここで、 $V_0'$ 、 $B'$ 、 $\alpha'$ は、本発明に係る素子の構造と材質により定まる定数である。したがって、第二ゲート電極のゲート電位 $V_{G2}$ を外部より適当に与える事により第一ゲート電圧により動作するMOS型トランジスタの閾値電圧を適当に制御する事が可能である。

なお、本方式は、たとえば、GaAsFET等のゲート電極と能動層の間に絶縁膜等を必要としなMES型トランジスタにおいても同様に実施可能である。

(発明の効果)

(実 施 例)

図面は、本発明の一実施例の図式的な断面図である。Siまたは石英ガラス等の基板1の上に、シリコンの絶縁体層2が形成される。次に、この絶縁体層2上にAlの第二ゲート電極3を形成し、さらに、この第二ゲート電極3の上に絶縁体層2を形成する。次に、第二ゲート電極3の上方に、従来と同様のMOS型トランジスタを形成する。まず、絶縁体層2に、再結晶化によりSi能動層(N型)4を形成する。次に、Si能動層4にイオン注入等によりP型層5、6をソース領域とドレイン領域として形成する。次に、Si能動層4上にゲート絶縁膜( $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 等)7を形成し、このゲート絶縁膜7上に第一ゲート電極(Al)8を形成する。なお、図示しないが、第二ゲート電極3は、外部に引き出される。

通常の構造のMOS型トランジスタでは、ゲート電極に対する閾値電圧 $V_T$ は、基板・ソース間電位を $V_{SB}$ とすると、基板効果により、次の式で表される。ここで、基板とは、Si能動層4を

本発明の半導体素子により、同一基板上に設けられた1個のMOS型またはMES型トランジスタの閾値電圧を外部より電気的に制御できるのみでなく、同一基板上に設けた複数個のMOS型またはMES型トランジスタの閾値電圧をそれぞれ独立に電気的に制御することが可能となる。したがって、本発明に係る素子を用いることにより、回路設計の自由度が高められる。

4. 図面の簡単な説明

図面は、本発明の実施例の構造を図式的に示す断面図である。

特 許 出 願 人 シャープ株式会社

代 理 人 弁 理 士 青 山 保 ほか2名

